

DEIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013116893 ***Image available***

WPI Acc No: 2000-288764 200025

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 1997-287100;
2000-288763

XRAM Acc No: C00-087460

XRPX Acc No: N00-217868

Thin film transistor manufacturing method, involves forming polycrystalline silicon film by laser annealing of amorphous silicon film, over which impurity area is formed after formation of gate electrode

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000082822	A	20000321	JP 95199980	A	1995080	200025 B
			JP 99240191	A	19950804	

Priority Applications (No Type Date): JP 95167513 A 19950703

Patent Details:

Patent No	Kind	Ln	Pg	Main IPC	Filing Notes
-----------	------	----	----	----------	--------------

JP 2000082822	A		13	H01L-029 786	Div ex application JP 95199980
---------------	---	--	----	--------------	--------------------------------

Abstract (Basic): JP 2000082822 A

NOVELTY - Amorphous silicon film is formed on an insulated substrate (1). Laser annealing of the amorphous silicon film is performed for forming a polycrystalline silicon film (2). Impurity area (6) such as the source drain area is formed on the polycrystalline silicon film. Rapid thermal heating of the impurity area is done by performing rapid thermal annealing process.

DETAILED DESCRIPTION - Metal gate electrode is formed before forming the impurity area.

USE - For manufacture of thin film transistor used for pixel driving of active matrix liquid crystal display device.

ADVANTAGE - Raises the productivity of the semiconductor device and the manufacturing cost. Enables to obtain polycrystalline silicon film having an outstanding characteristic within a short time.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the manufacturing process of the thin film transistor. Insulated substrate (1) Polycrystalline silicon film (2) Impurity area (6) pp: 13 DwgNo 16 32

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; METHOD; FORMING;

POLYCRYSTALLINE; SILICON; FILM; LASER; ANNEAL; AMORPHOUS; SILICON; FILM; IMPURE; AREA; FORMING; AFTER; FORMATION; GATE; ELECTRODE;

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029 786

International Patent Class (Additional): H01L-021 20; H01L-021 265;

H01L-021 28; H01L-021 336

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-82822
(P2000-82822A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/786

21/336

21/20

21/265

21/28

3 0 1

H 0 1 L 29/78

21/20

21/28

21/265

29/78

6 2 7 F

3 0 1 D

6 0 2 B

6 1 6 L

審査請求 有 請求項の数 2 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願平11-240191

(62) 分割の表示

特願平7-199980の分割

(22) 出願日

平成7年8月4日 (1995.8.4)

(31) 優先権主張番号

特願平7-167513

(32) 優先日

平成7年7月3日 (1995.7.3)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100109368

弁理士 稲村 悦男 (外1名)

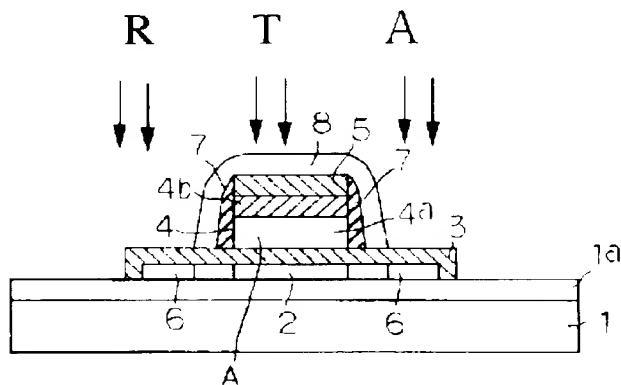
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 優れた特性の多結晶シリコン膜を備えた半導体装置のスルーフォットを向上させること。

【解決手段】 ガラス基板1上に非晶質シリコン膜を形成し、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜2を形成し、この多結晶シリコン膜2の上には、ゲート絶縁膜3を全してW形ゲート膜1aを含むゲート電極1を形成し、前記多結晶シリコン膜2に、不純物領域6を形成し、前記不純物領域6をR.T.A法を用いて急速加熱することにより活性化する。



【特許請求の範囲】

【請求項1】 基板上に非晶質シリコン膜を形成する第1の工程と、

この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、

前記不純物領域をRTA (Rapid Thermal Annealing) 法を用いて急速加熱することにより活性化する第4の工程と、を含む、

前記第3の工程よりも前に、金属を含むゲート電極を形成する工程を行うことを特徴とした半導体装置の製造方法。

【請求項2】 基板上に非晶質シリコン膜を形成する第1の工程と、

この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、

前記不純物領域を、ランプを熱源として急速加熱することにより活性化する第4の工程と、を含む、

前記第3の工程よりも前に、金属を含むゲート電極を形成する工程を行うことを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (Thin Film Transistor) 等の半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、アクティブマトリクス方式LCD (Liquid Crystal Display) の画素駆動素子（画素駆動用トランジスタ）として、透明絶縁基板上に形成された多結晶シリコン膜を移動層に用いた薄膜トランジスタ（以下、シリコンTFTと称する）が実用化されていく。

【0003】多結晶シリコンTFTでは、非定常シリコン膜を移動層に用いた薄膜トランジスタに比べ、移動度が大きく、駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部（表示部）だけでなく周辺駆動回路（回路部）までを同一基板上に一体に形成することができ、

る。

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図3-1及び図3-2に基づいて説明する。

【0006】工程A（図3-1参照）：絶縁基板（例えば石英ガラス）6-1上に、通常の成膜CVD法を用いて非晶質シリコン膜を形成し、更に、窒素（N₂）雰囲気中、温度900℃程度で熱処理を行うことにより、前記非晶質シリコン膜を固相成長させて多結晶シリコン膜6-2を形成する。

【0007】前記多結晶シリコン膜6-2を薄膜トランジスタの移動層として用いるために、プラズマエッチング技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜6-2を所定形状に加工する。

【0008】前記多結晶シリコン膜6-2の上に、減圧CVD法を用いて、ゲート絶縁膜6-3としてのシリコン酸化膜を堆積する。

【0009】工程B（図3-2参照）：前記ゲート絶縁膜6-3上に、減圧CVD法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0010】次に、減圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜6-4を堆積した後、プラズマエッチング技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜6-4を所定形状に加工する。前記多結晶シリコン膜はゲート電極6-5として使用する。

【0011】次に、自己整合技術により、ゲート電極6-5及びシリコン酸化膜6-4をマスクとして、多結晶シリコン膜6-2に不純物を注入し、ソース・ドレイン領域6-6を形成する。

【0012】このような方法は、固相成長や不純物活性化の際に900℃程度の高い温度を要することから、石英ガラス等には対応できず、窒素（N₂）雰囲気中、例えば、石英ガラスを用いた場合には、処理時間が長く経費が高いといえる。

【0013】しかしながら、前述耐熱性の高い基板は高価であり、比較的安価なガラス基板を用いた場合には、基板に剥離が生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。

【0014】特に、駆動回路に用いられるTFTでは、低温

【0015】本発明は、従来の技術の問題を解決するためのものであり、その目的は、多結晶シリコンTFTを用いた半導体装置の製造方法において、低温で多結晶シリコン膜を形成し、ゲート電極を形成することにある。

【0016】本発明は、従来の技術の問題を解決するためのものであり、その目的は、多結晶シリコンTFTを用いた半導体装置の製造方法において、低温で多結晶シリコン膜を形成し、ゲート電極を形成することにある。

リコン薄膜を形成する技術が開発されている。

【0016】

【発明が解決しようとする課題】レーザーアニールは、ビーム走査を何度も繰り返して行う必要があるため、結晶化（リセス）に時間がかかるという問題があるが、従来例においては、熱源としてレーザービームのみを使用するものであるため、多結晶化（リセス）に加え、例えば、不純物領域の活性化にも時間がかかるレーザーアニールを行わなければならない、リセス時間が長くなり、TFTデバイスおよびTFTを使用したLCDデバイスのスループットが低下する問題がある。

【0017】本発明は、半導体装置の製造方法に関し、所定の課題を解決するものである。

【0018】

【課題を解決するための手段】本発明の第1の局面による半導体装置の製造方法は、基板の上に非晶質シリコン膜を形成する第1の工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前には、金属を含むゲート電極を形成する工程を行うことをその要旨とする。

【0019】このように、非晶質シリコン膜の結晶化をレーザーアニールを用いて行い、不純物領域の活性化をRTA法を用いて行うことにより、結晶化と活性化とをいずれもレーザーアニール法で行うことに比べて、製造時間が短くなる。特にこの場合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。

【0020】また、第3の工程よりも前に、金属を含むゲート電極を形成することにより、この金属が、RTAの熱を吸収するため、熱を吸収した金属からの放射熱によっても不純物領域の活性化が助長される。

【0021】本発明の第2の局面による半導体装置の製造方法は、基板の上に非晶質シリコン膜を形成する第1の工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域を、ランプを熱源として急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前に、金属を含むゲート電極を形成することにより、この金属が、RTAの熱を吸収するため、熱を吸収した金属からの放射熱によっても不純物領域の活性化が助長される。

合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つランプを熱源とした急速加熱により不純物領域を短時間で活性化できる。

【0022】また、第3の工程よりも前に、金属を含むゲート電極を形成することにより、この金属が、ランプの熱を吸収するため、熱を吸収した金属からの放射熱によっても不純物領域の活性化が助長される。

【0023】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1の実施形態を、図1乃至図18によって説明する。

【0024】工程1（図1参照）：石英ガラスや無水フッ素ガラスなどの基板1上には、 SiO_2 や Si_3N_4 などの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。具体的には、基板1としてコーニング社製7059を使用し、その表面上に前記1aは減圧CVD法により、形成厚度3500Å、膜厚3000～5000Åの SiO_2 膜を形成する。

【0025】この SiO_2 膜の膜厚は、後工程の熱処理やビーム照射などで基板1上の不純物がこの SiO_2 膜を通過して上部へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合がもっとも適している。

【0026】また、絶縁性薄膜1aとして Si_3N_4 を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0027】工程2（図2参照）：前記絶縁性薄膜1aの上には、非晶質シリコン膜2a（膜厚500Å）を形成する。この非晶質シリコン膜2aをTFTの能動層として用いた場合、この能動層の厚みが増すと、多結晶シリコンTFTのオン電流が増大し、通ずるとオン電流が減るため、この非晶質シリコン膜2aの膜厚は、100～800Åの範囲が適切で、500～700Åにしたときに特性が最適で、その中でも300～600Åの場合がもっとも適している。

【0028】前記非晶質シリコン膜2aの形成方法には、以下のものがある。

【0029】1減圧CVDを用いる方法（減圧CVD法）：シリコン膜を形成するには、モシラン（ SiH_4 ）ガスはシラン（ SiH_4 ）の分解熱を用いて、モシラン（ SiH_4 ）を分解してシリコンを生成させる。

103 本発明は、半導体装置の製造方法に関し、所定の課題を解決するものである。特にこの場合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。

104 本発明は、半導体装置の製造方法に関し、所定の課題を解決するものである。特にこの場合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。

が比: 1×10^{-7} の特性を得ることができる。

【0105】また、移動度が高いが、TFTの駆動能力が向上するので、TFTのサイズを小さくすることができ、従来駆動層として非晶質シリコンを用いたトランジスタのサイズ(W・L=3.4・10 μm^2)に比べて、1.5以下、サイズ(W・L=8・10 μm^2)に縮小することができる。更には、高品質の駆動層であるので、トランジスタオフ時のリーク電流も少なく、そのリーク補助容量の面積も1/3以下に縮小することができる。

【0106】具体的には、サイズ2・1型で、画素ピッチ:50・0・10 μm ・1500・V μm 、画素数は23万ドット・320×3・RGB×8・10)と、従来型のものに比べて3倍以上の高密度画素を有しながらも、50 μm という高開口率(比率:1・5倍)のものを得ることができ、高輝度化を実現できる。

【0107】以上の実施形態は以下のように変更してもよく、その場合でも毎回の作用、効果を得ることができる。

【0108】(1)条件にもよるが基板1として、通常のガラス板なども使用可能である。

【0109】(2)工程2や工程4において、非晶質シリコン膜を減圧CVD法により、例えば、モノシランガスを用い、温度580℃で堆積させる。これにより、非晶質シリコン膜には微結晶を含んだ膜となる。

【0110】微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶粒径が小さくなるが移動度は若干低下するが、結晶成長を短時間で終わることができる。

【0111】(3)工程2や工程4において、非晶質シリコン膜2を減圧CVD法、プラズマCVD法によらず、常圧CVD法、光誘起CVD法、蒸着法、EBE(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法からなるグループの内いずれか一つの方法により形成する。

【0112】(4)多結晶シリコン膜2のチャネル領域に形成する部分に不純物をドーピングして多結晶シリコン半導体のしきり電圧(V_{th})を調整する。調整成長法で形成した多結晶シリコンTFTにおいては、Nチャネルトランジスタではドーピングシリコンからしきり値電圧がシフトし、Pチャネルトランジスタではシリコンメンブレン方向にしきり値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきり電圧のシフトを避けるには、チャネル領域に不純物をドーピング中はよく、

X₁の組成をX₂に設定する。

【0113】(6)工程5、工程6、工程7において、CVD法を用いてWシリサイド膜4b、5aを形成する。そのソースガスとしては、六フッ化ウランゲステン

WF₆とシリラン(SiH₄)を用いればよい。成膜温度は、350~450℃前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi₂X₁)の組成をX₂に設定する。CVD法はPVD法に比べ、板差被覆性を優れているため、Wシリサイド膜4bの膜厚をより均一にすることができる。

【0115】(7)ゲート電極に用いるWシリサイドに代わるものとして、MoSi₂、TiSi₂、TaSi₂、CoSi₂などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。

【0116】(8)工程9において、プラズマ酸化膜に代えて、TEOS(Tetra Ethy. Ortho Silicate、又はtetra-ethoxy-silane)を用いたプラズマTEOS酸化膜を用いてもよく、また、シリコン酸化膜に代えて、常圧オゾンTEOS酸化膜を用いてもよい。

【0117】プラズマTEOS酸化膜の堆積条件は、堆積温度:390℃、RF出力:500W、TEOS流量:500sccm、酸素流量:600sccm、圧力:9torrとし、常圧オゾンTEOS酸化膜の堆積条件は、堆積温度:400℃、RF出力:オゾン濃度:約5wt%、TEOSキャリアN₂ガス流量:3000ccmとする。

【0118】(9)工程(8)の工程の後、プラズマTEOS酸化膜を、ゲンモニア(NH₃)ガスを用いてプラズマ処理することにより窒素イオンに曝し、その表面を窒素化してから常圧オゾンTEOS酸化膜を堆積すると、シリコン酸化膜の成長レートがより安定する。この時の窒素処理条件は、温度:360℃、RF出力:500W、ゲンモニア流量:100~500sccm、N₂流量:0~1000ccmとすることができる。なお、この窒素処理において、ゲンモニアガスに窒素を用いてもよい。

【0119】TEOS/Wシリサイド膜5aに代えて、微結晶シリコン膜や多結晶シリコン膜などの酸化膜を用いる。これによりシリコン膜には不純物がドーピングされていてもよい。このように、導電性膜又は絶縁膜を用いることにより、この誘電体膜に電圧を加えることで、TFTを、LISに用いられるMOSトランジスタのように1端子がハイスイとして動作させて、シグナル電圧を印加して、ソース電圧が、ゲート電圧が、ドレイン電圧が、

【0120】(10)工程10において、Wシリサイド膜4bに代えて、Moシリサイド膜4b、Tiシリサイド膜4b、Taシリサイド膜4b、Coシリサイド膜4b、Crシリサイド膜4b、

【0121】(11)工程11において、Wシリサイド膜4bに代えて、Moシリサイド膜4b、Tiシリサイド膜4b、Taシリサイド膜4b、Coシリサイド膜4b、Crシリサイド膜4b、

低融点金属、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には、約150℃以下、AlやAuなど、低融点金属を用いてもよい。

【0121】Wリサード膜も含めて、これらの金属膜は、 λ を通さない性質を有しているため、以下の通りの効果を生ずる。

【0122】(a) 光の散乱を防ぐことで液晶セルに光入射のロスとす光の透過率を高めるので、LCDデバイスとしてのコントラストが高くなる。

【0123】(b) TFTに入射する光を遮るので、光によるリーク電流を減らさせてTFTとしての特性を向上させる点に光によるTFT自身の劣化を防止する。

【0124】(c) (1) フレータ型だけでなく、逆フレイタ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコンTFTに適用する。

【0125】(13) 多結晶シリコンTFTだけでなく、薄膜ケート型トランジスタ等にも適用する。また、太陽電池やセンサーなどの光変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(Static Induction Transistor)などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【0126】

【発明の効果】本発明によれば、以下の通りの優れた効果を生ずる。

【0127】(1) 低温プロセスが可能で、安価な基板を使用でき、半導体装置の製造コストを削減できる。

【0128】(2) 良質な多結晶シリコン膜を短時間で得ることができ、半導体装置におけるスループットが向上する。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図5】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図7】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図8】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図9】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図10】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図11】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図12】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図13】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図14】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図15】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図16】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図17】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図18】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図19】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図20】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図21】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図22】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図23】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図24】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図25】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図26】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図27】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図28】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図29】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図30】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図31】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図32】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図33】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

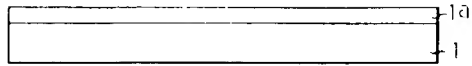
【図34】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

【図35】本発明を具体化した第2実施形態の製造工程を説明するための断面図である。

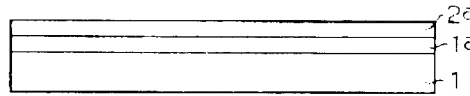
1b Wシリサイド膜
1a 第一電極

6 不純物領域

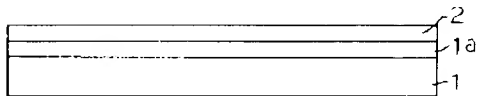
【図1】



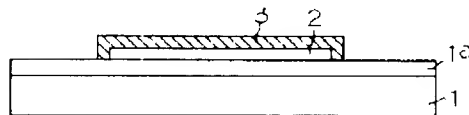
【図2】



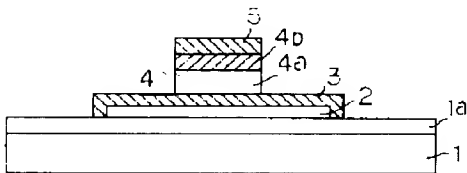
【図3】



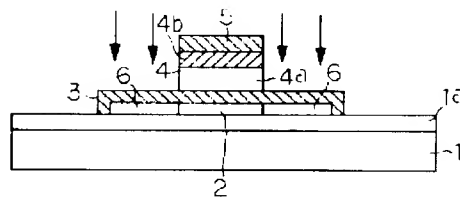
【図4】



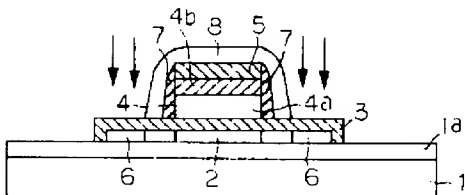
【図5】



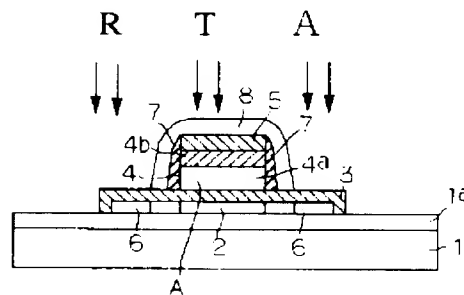
【図6】



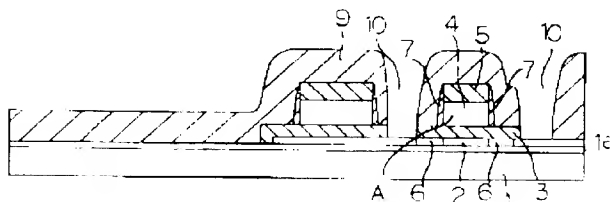
【図7】



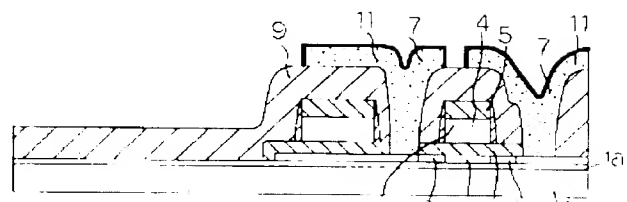
【図8】



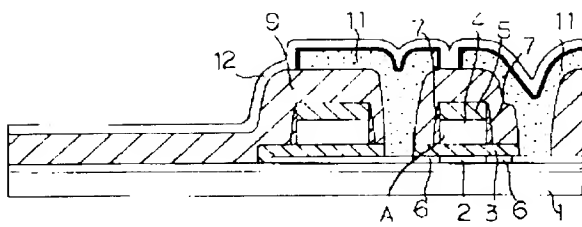
【図9】



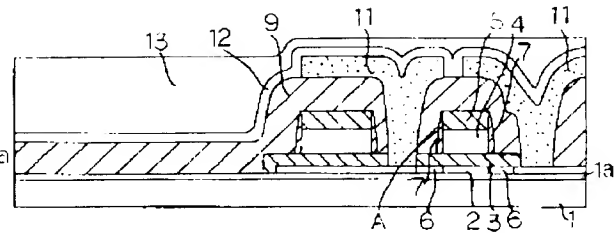
【図10】



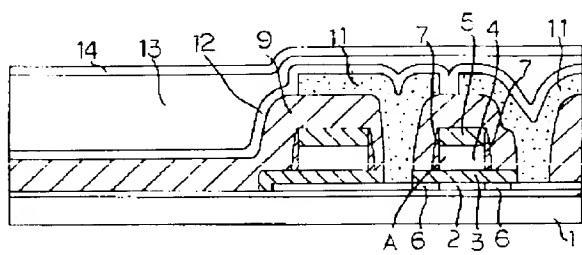
【図11】



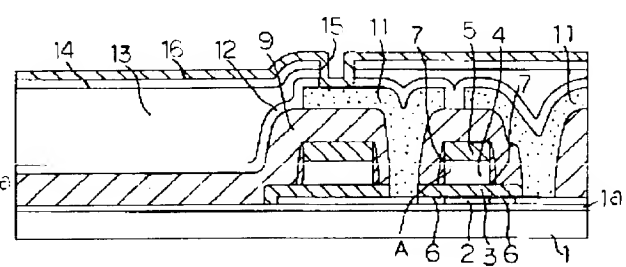
【図12】



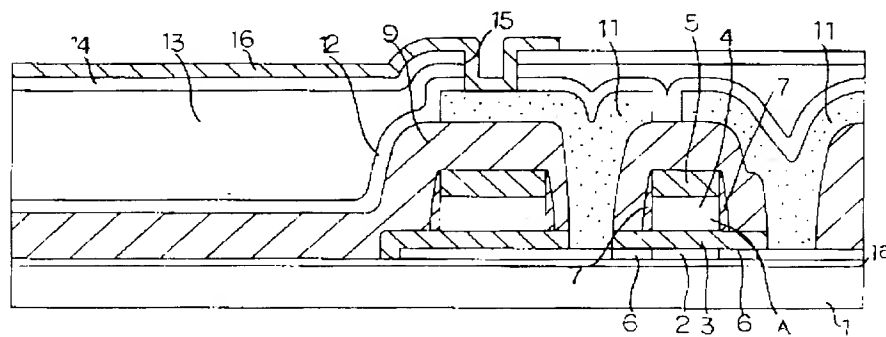
【図13】



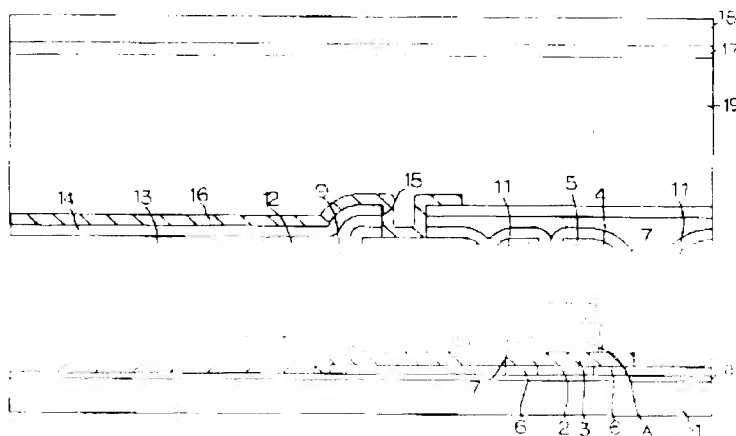
【図14】



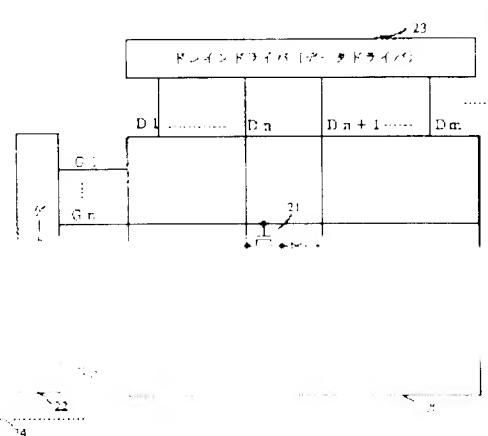
【図15】



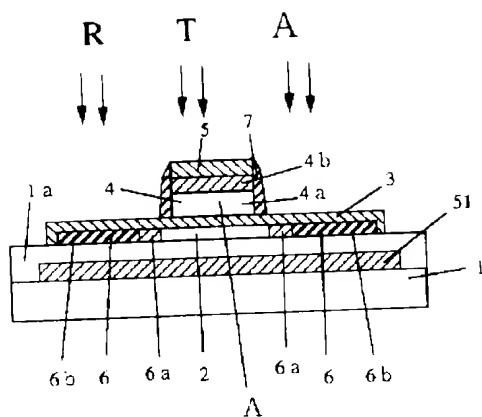
【図16】



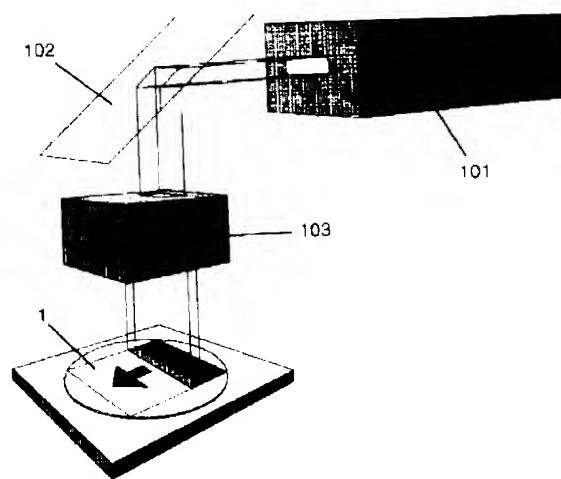
【図17】



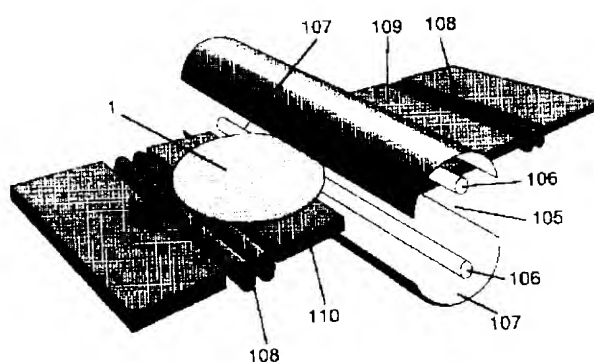
【図28】



【図29】



【図30】



フロントページの続き

51 Int. Cl. 7

識別番号

F 1

H 0 1 L 29/78

4-20-F (参考)

6 1 7 V

6 2 7 G

72) 発明者 加路 敬文

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

73) 発明者 森本 雅宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

74) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内